

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

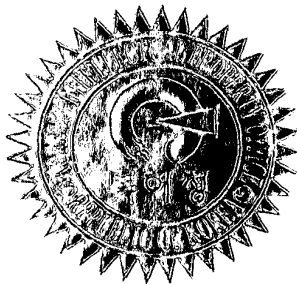
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0038890  
Application Number

출원년월일 : 2002년 07월 05일  
Date of Application JUL 05, 2002

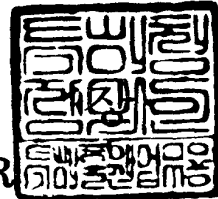
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년    02    월    19    일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.07.05
【국제특허분류】	H01L
【발명의 명칭】	고 주파수 동작을 위한 출력 드라이버를 구비하는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device having output driver high frequency operation
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	송호성
【성명의 영문표기】	SONG, Ho Sung
【주민등록번호】	670201-1535221
【우편번호】	138-914
【주소】	서울특별시 송파구 잠실4동 시영아파트 81동 206호
【국적】	KR
【발명자】	
【성명의 국문표기】	송기환
【성명의 영문표기】	SONG, Ki Whan
【주민등록번호】	700704-1482432

【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 역삼우성아파트 2동 1204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이동수
【성명의 영문표기】	LEE,Dong Su
【주민등록번호】	710508-1841217
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 쌍용아파트 541동 603호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	462,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

고 주파수 동작을 위한 출력 드라이버를 구비하는 반도체 메모리 장치가 개시된다. 본 발명에 따른 반도체 메모리 장치는, 제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버를 구비하는 반도체 메모리 장치에 있어서, 상기 제 1 엔모스 트랜지스터의 게이트로 제 1 내부 전압이 인가되고 상기 제 2 엔모스 트랜지스터의 게이트로 제 2 내부 전압이 인가되며, 상기 제 2 내부 전압은 외부 전원 전압보다 낮은 전압 레벨을 가지는 것을 특징으로 한다. 상기 제 2 내부 전압은 상기 메모리 장치의 내부의 내부 전압 발생 회로로부터 발생되거나 또는 상기 메모리 장치의 외부에서 직접 인가되는 것을 특징으로 한다. 상기 제 2 내부 전압의 전압 레벨은 상기 반도체 메모리 장치의 동작 전압 레벨과 다를 수 있다.

상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 높은 주파수를 가지는 데이터를 파형의 왜곡 없이 출력할 수 있으므로 좋은 출력 특성과 큰 타이밍 마진을 확보할 수 있는 장점이 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

고 주파수 동작을 위한 출력 드라이버를 구비하는 반도체 메모리 장치{Semiconductor memory device having output driver high frequency operation}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.

도 2는 도 1의 출력 드라이버의 출력 파형을 나타내는 파형도이다.

도 3은 램버스 디램의 기준 클럭 신호와 데이터의 관계를 나타내는 파형도이다.

도 4는 램버스 디램의 출력 드라이버 회로를 나타내는 회로도이다.

도 5는 도 4의 출력 드라이버 회로의 독출 동작을 설명하는 파형도이다.

도 6은 도 4의 연결 노드의 전압 상승으로 인한 데이터의 지연을 나타내는 타이밍도이다.

도 7은 본 발명의 제 1 실시예에 따른 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.

도 8은 본 발명의 제 2 실시예에 따른 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.

도 9는 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 나타내는 회로도이다.

도 10은 도 9의 출력 드라이버의 독출 동작을 설명하는 파형도이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 고 주파수 동작시 출력 데이터의 왜곡을 방지할 수 있는 출력 드라이버를 구비하는 반도체 메모리 장치에 관한 것이다.

<13> 최근 반도체 메모리 기술은 고 집적화, 초 고속화되는 추세이다. 많은 양의 데이터를 빠른 속도로 전송함과 동시에 저 전력을 소모하는 메모리의 개발이 요구되고 있다. 동기식 디램(SDRAM :Synchronous Dynamic Random Access Memory)의 경우, 100 ~ 200 Mhz 정도의 속도 한계를 가지므로 더 빠른 속도를 가지는 더블 데이터 레이트 디램(DDR DRAM : Double Data Rate Dynamic Random Access Memory) 이나 램버스 디램(RAMBUS DRAM)이 각광 받을 것으로 예상된다.

<14> 도 1은 종래의 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.

<15> 도 2는 도 1의 출력 드라이버의 출력 파형을 나타내는 파형도이다.

<16> 도 1을 참조하면, 반도체 메모리 장치(100)는 출력 드라이버(110), 제 1 구동 회로(120) 및 제 2 구동 회로(130)를 구비한다.

- <17> 출력 드라이버(110)는 제 1 및 제 2 엔모스 트랜지스터(N1, N2)가 직렬로 연결된다. 제 1 엔모스 트랜지스터(N1)의 드레인이 출력 패드(DQ)에 연결되고, 제 2 엔모스 트랜지스터(N2)의 소스가 접지 전압(VSS)에 연결된다.
- <18> 데이터 독출 동작시, 제 1 엔모스 트랜지스터(N1)는 게이트 전압(VGATE)에 응답하여 턴 온 된다. 제 2 엔모스 트랜지스터(N2)의 게이트(Q)는 데이터 전압(VEXT)에 의하여 턴 온 또는 턴 오프 된다. 여기서 데이터 전압(VEXT)은 외부 전압 레벨을 가진다.
- <19> 제 1 구동 회로(120)는 기준 전압(REFV)을 수신하여 게이트 전압(VGATE)을 발생한다. 제 2 구동 회로(130)는 데이터(DATA)와 외부 전압(EVCC)을 수신하여 데이터 전압(VEXT)을 발생한다.
- <20> 데이터(DATA)가 하이 레벨인 경우 데이터 전압(VEXT)도 하이 레벨로 발생되어 제 2 엔모스 트랜지스터(N2)를 턴 온 시킨다. 그러면 출력 패드(DQ)는 로우 레벨을 출력한다.
- <21> 데이터(DATA)가 로우 레벨인 경우 데이터 전압(VEXT)도 로우 레벨로 발생되어 제 2 엔모스 트랜지스터(N2)를 턴 오프 시킨다. 그러면 출력 패드(DQ)는 하이 레벨을 출력한다.
- <22> 일반적으로 램버스 디램의 출력은 800Mbps의 고속 출력이다. 그런데 800Mbps 이상의 고 주파수 출력시에는 출력 패드(DQ)로 출력되는 데이터에 스큐(skew)가 발생된다.
- <23> 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 인가되는 게이트 전압(VEXT)의 파형이 도 2(A)에 나타나 있다.

- <24> 제 2 엔모스 트랜지스터(N2)는 사이즈가 크기 때문에 게이트(Q)의 부하도 크다. 따라서 데이터 전압(VEXT)이 완전한 스윙(full swing)을 할 수 없다. 특히 데이터 전압(VEXT)의 레벨이 계속해서 하이 레벨인 경우보다 데이터 전압(VEXT)의 레벨이 하이 레벨과 로우 레벨을 반복하는 경우 데이터 전압(VEXT)은 완전한 스윙을 할 수 없다.
- <25> 도 2(A)에도 게이트(Q)의 데이터 전압(VEXT)의 레벨이 하이 레벨과 로우 레벨을 반복하는 경우 계속해서 하이 레벨로 유지되는 경우보다 약 240 mV 정도 적게 스윙하는 것을 알 수 있다.
- <26> 이러한 현상으로 인하여, 출력 패드(DQ)의 출력 파형을 나타내는 도 2 (B)를 보면 약 57ps의 지연이 있음을 알 수 있다. 이는 램버스 디램의 출력이 외부 클럭 신호를 기준으로 셋업 타임이나 홀드 타임 마진이 적어짐을 의미한다.
- <27> 도 3은 램버스 디램의 기준 클럭 신호와 데이터의 관계를 나타내는 파형도이다.
- <28> 시스템이 고속화되고 동작 주파수가 빨라짐에 따라 출력되는 데이터의 타임 스펙(specification)은 점점 타이트해지고 있다. 램버스 디램의 셀로부터 센싱 된 데이터(DATA)는 기준 클럭 신호(CTM)의 상승 에지 또는 하강 에지에 데이터(DATA)의 센터가 동기 되어 출력된다.
- <29> 기준 클럭 신호(CTM)의 상승 에지 또는 하강 에지로부터 데이터(DATA)의 앞쪽까지의 시간을 TQMAX 로 표시하고 기준 클럭 신호(CTM)의 상승 에지 또는 하강 에지로부터 데이터(DATA)의 뒤쪽까지의 시간을 TQMIN 으로 표시한다. TQMAX 와 TQMIN은 램버스 디램의 출력 특성을 대변하는 중요한 스펙이다.
- <30> 도 4는 램버스 디램의 출력 드라이버 회로를 나타내는 회로도이다.



- <31> 도 5는 도 4의 출력 드라이버 회로의 독출 동작을 설명하는 파형도이다.
- <32> 도 6은 도 4의 연결 노드의 전압 상승으로 인한 데이터의 지연을 나타내는 타이밍도이다.
- <33> 도 4를 참조하면, 램버스 디램의 출력 드라이버 회로(400)는 직렬 연결되는 엔모스 트랜지스터(N1, N2)를 구비하는 드라이버부(410), 출력 패드(DQ) 및 프리차지 트랜지스터(420)를 구비한다.
- <34> 도 4에는 출력 드라이버 회로(400)가 실장 되는 칩(미도시)외부의 터미네이션 전압(VTERM)과 터미네이션 저항(RTERM)도 도시되어 있다.
- <35> 도 4를 참조하여 램버스 디램의 출력 드라이버 회로(400)의 동작을 설명한다. 데이터의 독출 동작시, 드라이버부(410)의 제 1 엔모스 트랜지스터(N1)의 게이트로 제 1 게이팅 전압(VGATE)이 인가되어 제 1 엔모스 트랜지스터(N1)는 턴 온 된다. 제 1 게이팅 전압(VGATE)은 디바이스의 동작 전원보다 낮은 레벨의 전압이다.
- <36> 비 독출 동작의 경우 제 1 게이팅 전압(VGATE)이 인가되어 제 1 엔모스 트랜지스터(N1)가 턴 온 되면, 외부에서 출력 패드(DQ)를 바라보는 경우의 커패시턴스가 증가된다. 따라서 다른 디바이스로부터 전송되는 신호의 왜곡이 발생될 수 있다. 그러므로, 제 1 게이팅 전압(VGATE)은 데이터의 독출 동작의 경우에만 인가되어야 한다.
- <37> 디램 코어로부터 센싱된 데이터가 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 인가된다. 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 인가되는 데이터가 하이 레벨이면 제 2 엔모스 트랜지스터(N2)가 턴 온 되고 출력 패드(DQ)를 통하여 로우 레벨의 데이터가 출력된다.

<38> 프리차지 트랜지스터(420)는 비 독출 동작 시, 제 1 엔모스 트랜지스터 (N1)가 턴 온 되는 것을 막기 위하여, 제 2 게이팅 전압(PVGATE)에 응답하여 제 1 엔모스 트랜지스터(N1)와 제 2 엔모스 트랜지스터(N2)의 연결 노드(A)를 "제 1 게이팅 전압(VGATE) - 제 1 엔모스 트랜지스터(N1)의 문턱 전압" 레벨로 프리차지 시킨다.

<39> 도 5를 참조하면, 독출 동작의 경우, 제 1 게이팅 전압(VGATE)의 전압 레벨이 0V에서 하이 레벨의 전압으로 상승된다. 연결 노드(A)를 프리차지 시키기 위하여 하이 레벨을 가지고 있던 제 2 게이팅 전압(PVGATE)은 로우 레벨로 하강된다.

<40> 그런데, 제 1 게이팅 전압(VGATE)이 로우 레벨에서 하이 레벨로 상승되면 제 1 엔모스 트랜지스터(N1)의 게이트와 정션 사이의 오버랩(gate to junction overlap)에 의하여 연결 노드(A)에 전하 커플링이 발생된다. 따라서 연결 노드(A)의 전압 레벨이 약 100mV 정도 상승된다. 이는 도 5의 아래 그림에 잘 나타나 있다.

<41> 연결 노드(A)의 전압 레벨의 상승은 출력 패드(DQ)로 하이 레벨의 데이터를 출력할 경우 TQMAX를 약 13ps 정도 감소시키는 문제를 발생시킨다. 연결 노드(DQ)의 상승된 전압만큼 전압을 더 하강시켜야 하기 때문이다. 이는 도 6에 잘 나타나 있다.

<42> 만일 디바이스의 공정, 전압, 온도 등이 변화되어 연결 노드(A)의 전압 상승분이 더 증가된다면 출력 패드(DQ)를 통하여 첫 번째 하이 레벨의 데이터를 출력하는 경우의 시간 지연의 양은 더욱 커지게 될 것이다.

#### 【발명이 이루고자 하는 기술적 과제】

<43> 본 발명이 이루고자하는 기술적 과제는, 데이터의 왜곡 없이 고 주파수의 데이터 출력이 가능한 출력 드라이버를 구비하는 반도체 메모리 장치를 제공하는데 있다.

## 【발명의 구성 및 작용】

- <44>       상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 메모리 장치는, 제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버를 구비하는 반도체 메모리 장치에 있어서, 상기 제 1 엔모스 트랜지스터의 게이트로 제 1 내부 전압이 인가되고 상기 제 2 엔모스 트랜지스터의 게이트로 제 2 내부 전압이 인가되며, 상기 제 2 내부 전압은 외부 전원 전압보다 낮은 전압 레벨을 가지는 것을 특징으로 한다.
- <45>       상기 제 2 내부 전압은 상기 메모리 장치의 내부의 내부 전압 발생 회로로부터 발생되거나 또는 상기 메모리 장치의 외부에서 직접 인가되는 것을 특징으로 한다. 상기 제 2 내부 전압의 전압 레벨은 상기 반도체 메모리 장치의 동작 전압 레벨과 다를 수 있다.
- <46>       상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 반도체 메모리 장치는 제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버 및 데이터 및 소정의 내부 전원 전압에 응답하여 상기 제 2 엔모스 트랜지스터의 게이트로 소정의 구동 전압을 인가하는 구동 회로를 구비하는 반도체 메모리 장치에 있어서, 상기 구동 회로의 접지 전압 레벨이 상기 제 2 엔모스 트랜지스터의 소스가 연결되는 접지 전압 레벨 보다 높은 것을 특징으로 한다.



- <47>        상기 구동 전압의 전압 레벨은 상기 반도체 메모리 장치의 동작 전압 레벨과 다른 것을 특징으로 한다. 상기 구동 전압의 전압 레벨은 외부 전원 전압보다 낮은 전압 레벨을 가질 수 있다.
- <48>        상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 반도체 메모리 장치는, 제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버 및 상기 제 1 엔모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 연결 노드에 소스가 연결되고 전원 전압에 드레인이 연결되는 프리 차지 트랜지스터를 구비하는 반도체 메모리 장치에 있어서, 상기 프리 차지 트랜지스터는 상기 제 1 엔모스 트랜지스터의 게이트의 전압 레벨의 증가로 인한 상기 연결 노드의 전압 레벨 상승을 낮추기 위한 전압 보상 회로를 구비하는 것을 특징으로 한다.
- <49>        상기 전압 보상 회로는 상기 프리 차지 트랜지스터의 게이트와 소스 사이에 연결되는 커패시터인 것을 특징으로 한다. 상기 커패시터는 상기 제 1 엔모스 트랜지스터의 게이트와 소스 사이의 커플링 커패시턴스와 동일한 용량을 가지는 것을 특징으로 한다. 상기 프리 차지 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.
- <50>        본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <51>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <52> 도 7은 본 발명의 제 1 실시예에 따른 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.
- <53> 도 7을 참조하면, 본 발명의 제 1 실시예에 따른 반도체 메모리 장치(700)는, 제 1 및 제 2 엔모스 트랜지스터(N1, N2)가 직렬로 연결되며, 제 1 엔모스 트랜지스터(N1)의 드레인이 출력 패드(DQ)에 연결되고, 제 2 엔모스 트랜지스터(N2)의 소스가 접지 전압(VSS)에 연결되는 출력 드라이버(710)를 구비하는 반도체 메모리 장치에 있어서, 제 1 엔모스 트랜지스터(N1)의 게이트로 제 1 내부 전압(VGATE)이 인가되고 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 제 2 내부 전압(VINT)이 인가되며, 제 2 내부 전압(VINT)은 외부 전원 전압보다 낮은 전압 레벨을 가진다.
- <54> 제 2 내부 전압(VINT)은 메모리 장치(700)의 내부의 내부 전압 발생 회로로부터 발생되거나 또는 메모리 장치(700)의 외부에서 직접 인가될 수 있다. 제 2 내부 전압(VINT)의 전압 레벨은 반도체 메모리 장치(700)의 동작 전압 레벨과 다를 수 있다.
- <55> 이하 도 7을 참조하여 본 발명의 제 1 실시예에 따른 반도체 메모리 장치의 동작이 설명된다.
- <56> 도 7의 반도체 메모리 장치(700)에는 출력 드라이버(710) 이외에 제 1 내부 전압(VGATE)을 발생시키는 제1 구동 회로(720)와 제 2 내부 전압(VINT)을 발생시키는 제 2 구동 회로(730)가 나타나 있다.
- <57> 독출 동작의 경우, 제 1 구동 회로(720)는 기준 전압(REFV)을 이용하여 출력 드라이버(710)의 제 1 엔모스 트랜지스터(N1)를 구동하기 위한 제 1 내부 전압(VGATE)을 발생한다. 제 2 구동 회로(730)는 내부 전원 전압(IVCC)과 디램 셀(미도시)로부터 센싱 되

이 출력된 데이터(DATA)를 수신하고, 데이터(DATA)의 논리 레벨과 동일한 논리 레벨을 가지는 제 2 내부 전압(VINT)을 발생한다.

<58> 램버스 디램과 같이 데이터(DATA)가 높은 주파수를 가질 경우, 제 2 구동 회로(730)에서 출력되는 제 2 내부 전압(VINT)은 하이 레벨과 로우 레벨 사이를 완전히 스윙(full swing) 하지 못한다. 특히 출력되는 데이터(DATA)의 논리 레벨이 하이 레벨과 로우 레벨로 번갈아 출력되는 경우에 더욱 그렇다. 데이터(DATA)의 높은 주파수에 비하여 데이터(DATA)의 상승 시간이 길기 때문이다.

<59> 따라서 제 2 구동 회로(730)가 제 2 내부 전압(VINT)의 전압 레벨을 종래의 외부 전원 전압 레벨보다 낮은 레벨의 내부 전원 전압 레벨로 발생하도록 한다. 그렇다면 낮은 전압 레벨만큼 제 2 내부 전압(VINT)이 로우 레벨에서 하이 레벨로 스윙하는 시간이 줄어들게 되므로 완전한 스윙(full swing)이 이루어진다.

<60> 또한, 제 2 내부 전압(VINT)의 전압 레벨이 낮아진다면, 제 2 엔모스 트랜지스터(N2)의 게이트(Q)의 파형이 도 2(A)에 나타난 것과 달리 구형파에 가까운 형태를 가지게 된다. 그렇다면 출력 패드(DQ)를 통하여 출력되는 출력 파형이 딜레이 되는 문제점이 제거될 수 있다.

<61> 제 2 내부 전압(VINT)의 전압 레벨은 도 7에 도시된 것과 같이, 제 2 구동 회로(730)와 같은 내부 전압 발생 회로로부터 발생될 수 있다. 그러나 칩의 외부에서 직접 인가될 수도 있다.

<62> 또한 제 2 내부 전압(VINT)의 전압 레벨은 반도체 메모리 장치(700)의 다른 회로들을 동작시키는 동작 전압 레벨과 다른 전압 레벨을 가질 수 있다.

- <63> 도 8은 본 발명의 제 2 실시예에 따른 출력 드라이버를 구비하는 반도체 메모리 장치를 나타내는 블록도이다.
- <64> 도 8을 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치(800)는 제 1 및 제 2 엔모스 트랜지스터(N1, N2)가 직렬로 연결되며, 제 1 엔모스 트랜지스터(N1)의 드레인이 출력 패드(DQ)에 연결되고, 제 2 엔모스 트랜지스터(N2)의 소스가 접지 전압(VSS1)에 연결되는 출력 드라이버(810) 및 데이터(DATA) 및 소정의 내부 전원 전압(IVCC)에 응답하여 제 2 엔모스 트랜지스터(N2)의 게이트로 소정의 구동 전압(VINT)을 인가하는 구동 회로(830)를 구비하는 반도체 메모리 장치에 있어서, 구동 회로(830)의 접지 전압(VSS2) 레벨이 제 2 엔모스 트랜지스터(N2)의 소스가 연결되는 접지 전압(VSS1)의 레벨 보다 높은 것을 특징으로 한다.
- <65> 구동 전압(VINT)의 전압 레벨은 반도체 메모리 장치(800)의 동작 전압 레벨과 다를 수 있다. 구동 전압(VINT)의 전압 레벨은 외부 전원 전압보다 낮은 전압 레벨을 가질 수 있다.
- <66> 이하 도 8을 참조하여 본 발명의 제 2 실시예에 따른 반도체 메모리 장치의 동작이 설명된다.
- <67> 도 8의 반도체 메모리 장치(800)에는 출력 드라이버(810), 제1 구동 회로(820) 및 제 2 구동 회로(830)가 도시되어 있다.
- <68> 출력 드라이버(810)는 제 1 및 제 2 엔모스 트랜지스터(N2)가 직렬로 연결되며, 제 1 엔모스 트랜지스터(N1)의 드레인이 출력 패드(DQ)에 연결되고, 제 2 엔모스 트랜지스터(N2)의 소스가 접지 전압(VSS1)에 연결된다.

- <69> 독출 동작의 경우, 제 1 엔모스 트랜지스터(N1)는 턴 온 되고, 제 2 엔모스 트랜지스터(N2)는 게이트(Q)로 인가되는 구동 전압(VINT)이 하이 레벨이면 턴 온 된다. 그러면 출력 패드(DQ)로 로우 레벨의 출력 신호가 출력된다.
- <70> 구동 회로(830)는 데이터(DATA) 및 소정의 내부 전원 전압(IVCC)에 응답하여 제 2 엔모스 트랜지스터(N2)의 게이트로 소정의 구동 전압(VINT)을 인가한다. 도 8에서는 구동 회로(830)는 제 2 구동 회로(830)로 표시되어 있다. 제 2 구동 회로(820)의 기능은 도 7의 제 2 구동 회로(730)의 기능과 동일하므로 상세한 설명은 생략한다.
- <71> 제 1 구동 회로(820)는 기준 전압(REFV)을 이용하여 출력 드라이버(820)의 제 1 엔모스 트랜지스터(N1)를 구동하기 위한 게이팅 전압(VGATE)을 발생한다. 제 1 구동 회로(820)의 기능은 도 7의 제 1 구동 회로(720)의 기능과 동일하므로 상세한 설명은 생략한다.
- <72> 도 7의 제 1 실시예에서는 출력 드라이버(710)의 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 인가되는 제 2 내부 전압(VINT)의 하이 레벨의 전압 레벨을 낮추어 제 2 내부 전압(VINT)이 로우 레벨에서 하이 레벨로 완전한 스윙을 하도록 한다.
- <73> 제 2 실시예에서는 출력 드라이버(810)의 제 2 엔모스 트랜지스터(N2)의 게이트(Q)로 인가되는 구동 전압(VINT)의 로우 레벨의 전압 레벨을 높인다. 즉, 출력 드라이버(810)의 접지 전압(VSS1) 레벨보다 제 2 구동 회로(830)의 접지 전압(VSS2)의 레벨을 높이면 구동 전압(VINT)의 로우 레벨의 전압 레벨도 상승된다.
- <74> 그러면 높아진 전압 레벨만큼 구동 전압(VINT)이 로우 레벨에서 하이 레벨로 스윙하는 시간이 줄어들게 되므로 완전한 스윙(full swing)이 이루어진다.



- <75> 구동 전압(VINT)의 전압 레벨은 반도체 메모리 장치(800)의 다른 회로들을 동작시키는 동작 전압 레벨과 다른 전압 레벨을 가질 수 있다.
- <76> 또한 구동 전압(VINT)의 전압 레벨은 외부 전원 전압보다 낮은 전압 레벨을 가질 수 있다. 그러면 도 7의 실시예에서와 동일한 효과를 발생시킬 수 있을 것이다.
- <77> 도 9는 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 나타내는 회로도이다.
- <78> 도 10은 도 9의 출력 드라이버의 독출 동작을 설명하는 파형도이다.
- <79> 도 9를 참조하면, 본 발명의 제 3 실시예에 따른 반도체 메모리 장치(900)는, 제 1 및 제 2 엔모스 트랜지스터(N1, N2)가 직렬로 연결되며, 제 1 엔모스 트랜지스터(N1)의 드레인이 출력 패드(DQ)에 연결되고, 제 2 엔모스 트랜지스터(N2)의 소스가 접지 전압(VSS)에 연결되는 출력 드라이버(910) 및 제 1 엔모스 트랜지스터(N1)와 제 2 엔모스 트랜지스터(N2)의 연결 노드(A)에 소스가 연결되고 전원 전압(VDD)에 드레인이 연결되는 프리 차지 트랜지스터(920)를 구비하는 반도체 메모리 장치에 있어서, 프리 차지 트랜지스터(920)는 제 1 엔모스 트랜지스터(N1)의 게이트의 전압 레벨의 증가로 인한 연결 노드(A)의 전압 레벨 상승을 낮추기 위한 전압 보상 회로(930)를 구비한다.
- <80> 전압 보상 회로(930)는 프리 차지 트랜지스터(920)의 게이트와 소스 사이에 연결되는 커패시터일 수 있다. 커패시터는 제 1 엔모스 트랜지스터(N1)의 게이트와 소스 사이의 커플링 커패시턴스와 동일한 용량을 가지는 것을 특징으로 한다. 프리 차지 트랜지스터(920)는 엔모스 트랜지스터이다.
- <81> 이하 도 9를 참조하여 본 발명의 제 3 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.

- <82> 도 9의 제 3 실시예에 따른 반도체 메모리 장치(900)는 출력 드라이버(910)의 연결 노드(A)와 프리차지 트랜지스터(920)의 게이트 사이에 전압 보상 회로(930)를 구비한다.
- <83> 독출 동작의 경우, 프리차지 트랜지스터(920)로 인가되는 제 2 게이팅 전압(PVGATE)의 전압 레벨은 제 1 엔모스 트랜지스터(N1)로 인가되는 제 1 게이팅 전압(VGATE)과 반대로 하이 레벨에서 로우 레벨로 하강된다.
- <84> 전압 보상 회로(930)는 연결 노드(A)의 전압 레벨을 상승시키는 전하량과 동일한 전하량만큼 연결 노드(A)의 전압 레벨을 하강시키기 위하여 커패시터를 이용한다.
- <85> 커패시터는 제 1 엔모스 트랜지스터(N1)의 게이트와 소스 사이의 커플링 커패시턴스와 동일한 용량을 가진다.
- <86> 독출 동작시, 제 1 게이팅 전압(VGATE)에 의한 제 1 엔모스 트랜지스터(N1)의 게이트의 충전과 제 2 게이팅 전압(PVGATE)에 의한 프리차지 트랜지스터(920)의 게이트의 방전이 거의 동시에 이루어진다.
- <87> 따라서 제 1 엔모스 트랜지스터(N1)의 게이트와 정션 사이의 오버랩(gate to junction overlap)에 의한 연결 노드(A)의 전압 상승과 전압 보상 회로(930)에 의한 연결 노드(A)의 전압 강하가 동시에 일어나 서로 보상된다. 그러므로 연결 노드(A)의 전압 레벨은 거의 변화가 없다. 이는 도 10에 잘 나타나 있다.
- <88> 출력 패드(DQ)로 하이 레벨의 데이터를 출력할 경우, TQMAX가 약 13ps 정도 감소되는 문제가 전압 보상 회로(930)에 의하여 해결될 수 있다.
- <89> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미



한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<90> 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 높은 주파수를 가지는 데이터를 파형의 왜곡 없이 출력할 수 있으므로 좋은 출력 특성과 큰 타이밍 마진을 확보할 수 있는 장점이 있다.



**【특허청구범위】**

**【청구항 1】**

제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버를 구비하는 반도체 메모리 장치에 있어서,

상기 제 1 엔모스 트랜지스터의 게이트로 제 1 내부 전압이 인가되고 상기 제 2 엔모스 트랜지스터의 게이트로 제 2 내부 전압이 인가되며,

상기 제 2 내부 전압은,

외부 전원 전압보다 낮은 전압 레벨을 가지는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제 1항에 있어서, 상기 제 2 내부 전압은,

상기 메모리 장치의 내부의 내부 전압 발생 회로로부터 발생되거나 또는 상기 메모리 장치의 외부에서 직접 인가되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제 1 항에 있어서, 상기 제 2 내부 전압의 전압 레벨은,

상기 반도체 메모리 장치의 동작 전압 레벨과 다른 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버 ; 및

데이터 및 소정의 내부 전원 전압에 응답하여 상기 제 2 엔모스 트랜지스터의 게이트로 소정의 구동 전압을 인가하는 구동 회로를 구비하는 반도체 메모리 장치에 있어서,

상기 구동 회로의 접지 전압 레벨이 상기 제 2 엔모스 트랜지스터의 소스가 연결되는 접지 전압 레벨 보다 높은 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제 4 항에 있어서, 상기 구동 전압의 전압 레벨은,

상기 반도체 메모리 장치의 동작 전압 레벨과 다른 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 6】**

제 4 항에 있어서, 상기 구동 전압의 전압 레벨은,

외부 전원 전압보다 낮은 전압 레벨을 가지는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 7】**

제 1 및 제 2 엔모스 트랜지스터가 직렬로 연결되며, 상기 제 1 엔모스 트랜지스터의 드레인이 출력 패드에 연결되고, 상기 제 2 엔모스 트랜지스터의 소스가 접지 전압에 연결되는 출력 드라이버 ; 및

상기 제 1 엔모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 연결 노드에 소스가 연결되고 전원 전압에 드레인이 연결되는 프리 차지 트랜지스터를 구비하는 반도체 메모리 장치에 있어서,

상기 프리 차지 트랜지스터는,

상기 제 1 엔모스 트랜지스터의 게이트의 전압 레벨의 증가로 인한 상기 연결 노드의 전압 레벨 상승을 낮추기 위한 전압 보상 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 8】**

제 7항에 있어서, 상기 전압 보상 회로는,

상기 프리 차지 트랜지스터의 게이트와 소스 사이에 연결되는 커패시터인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 9】**

제 7항에 있어서, 상기 커패시터는,

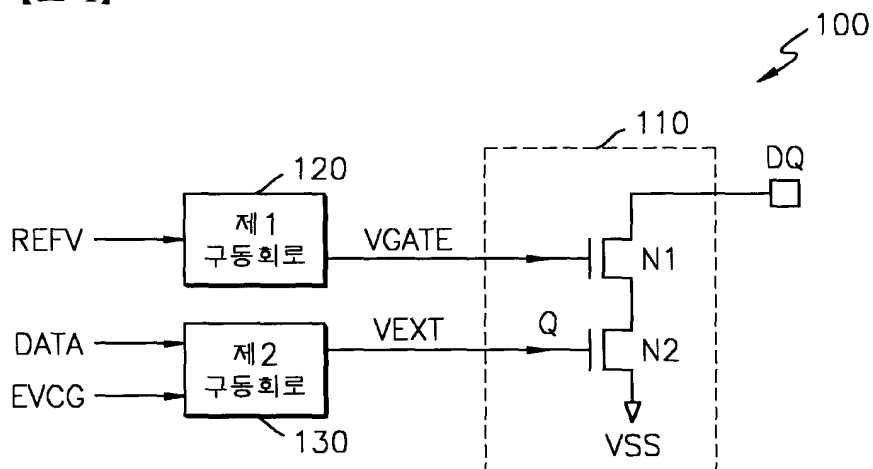
상기 제 1 엔모스 트랜지스터의 게이트와 소스 사이의 커플링 커패시턴스와 동일한 용량을 가지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

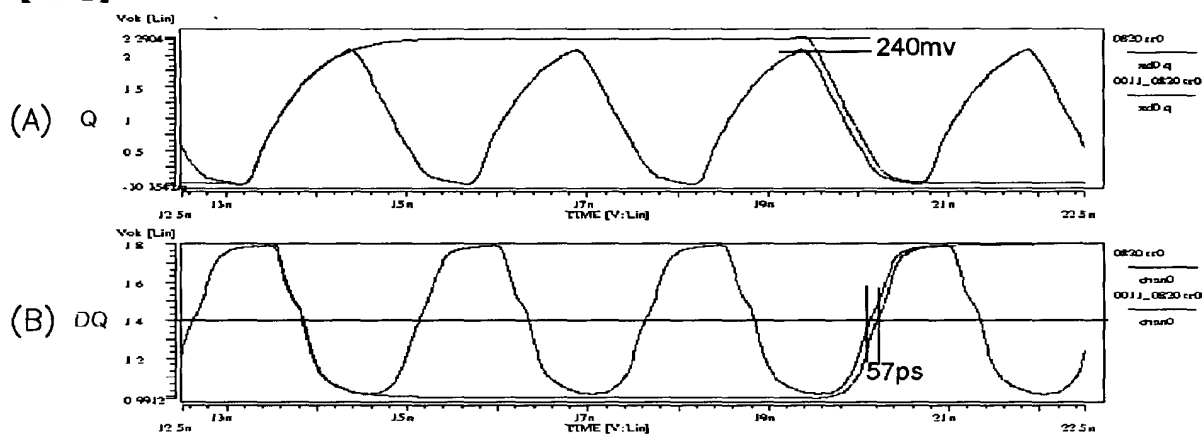
제 7항에 있어서, 상기 프리 차지 트랜지스터는,  
엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【도면】

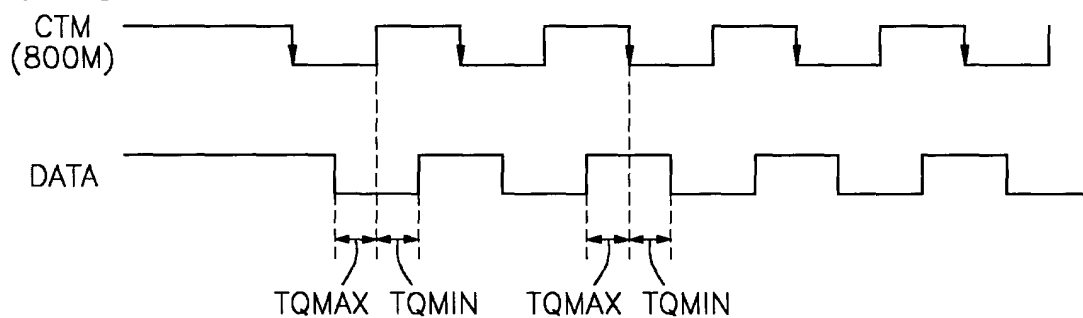
【도 1】



【도 2】

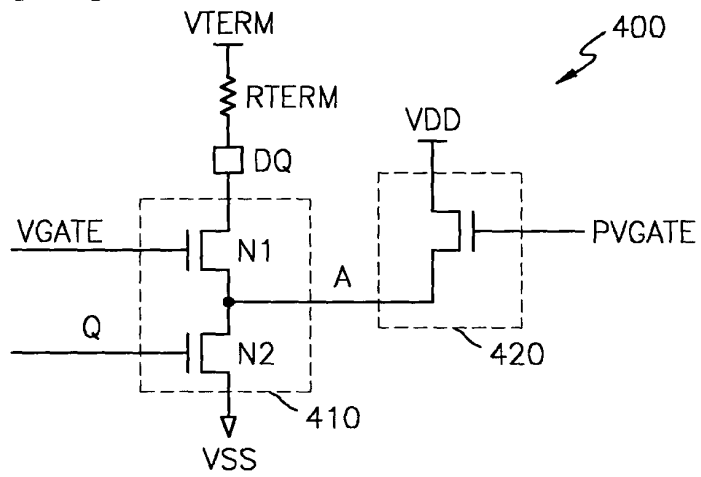


【도 3】

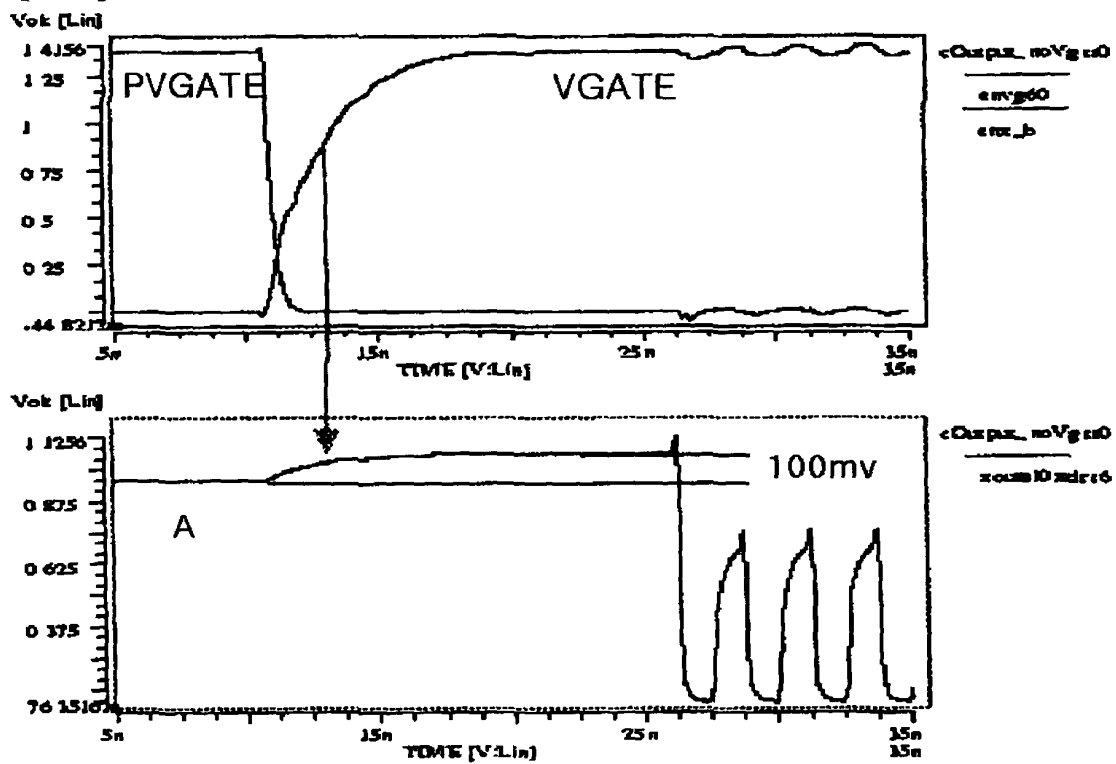




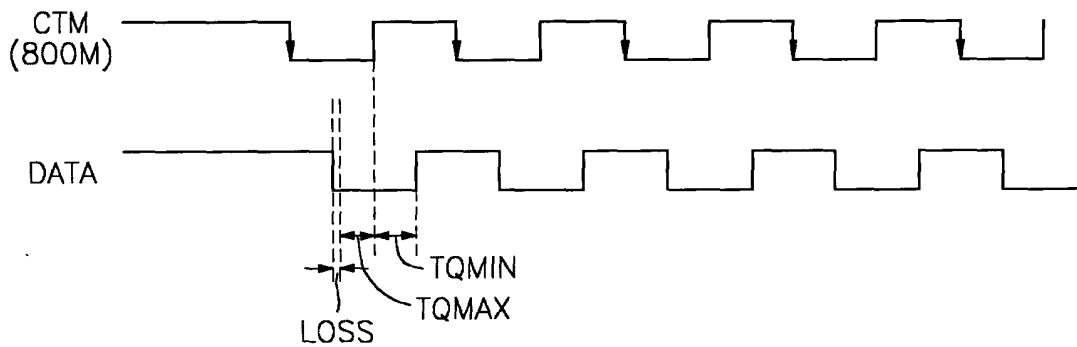
【도 4】



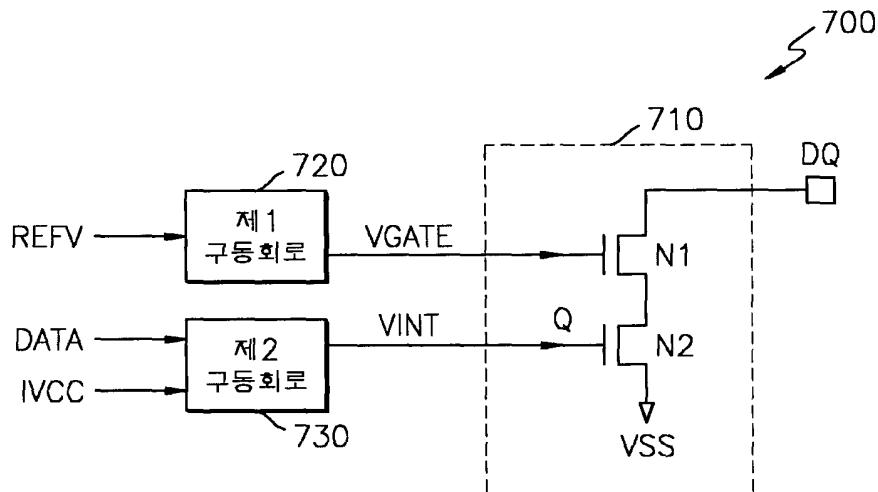
【도 5】



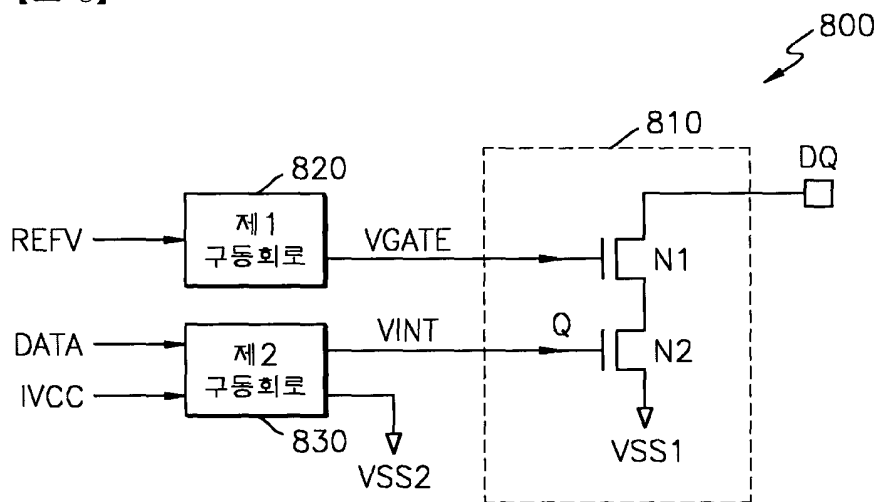
【도 6】



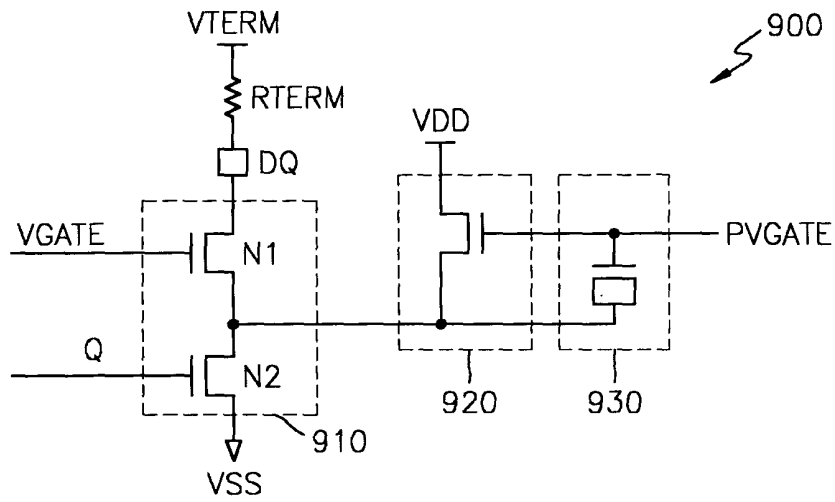
【도 7】



【도 8】



【도 9】



【도 10】

